

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 07 日
Application Date

申請案號：092107877
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 29 日
Issue Date

發文字號：09220532050
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	位元線接觸窗的形成方法
	英文	METHOD OF FORMING BIT LINE CONTACT VIA
二、 發明人 (共3人)	姓名 (中文)	1. 蔡子敬 2. 陳逸男 3. 毛惠民
	姓名 (英文)	1. Tzu-Ching Tsai 2. Yi-Nan Chen 3. Hui-Min Mao
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 桃園縣蘆竹鄉南華一街39號10樓之9 2. 台北市北投區義理街63巷2弄22號1樓 3. 台北市內湖區港富里港漚路11號4樓之2
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



0548-9220TWB(n1) : 91165 : duwang.pdf

四、中文發明摘要 (發明名稱：位元線接觸窗的形成方法)

本發明揭示一種位元線接觸窗的形成方法，包括下列步驟：提供一基底，上述基底具有一電晶體，上述電晶體係形成於上述基底上，包含一閘極、一汲極區、與一源極區；於上述汲極區的表面形成一導電層；順應性地於上述基底上形成一阻障絕緣層；毯覆性地於上述阻障絕緣層上形成一介電層；以及形成一介層窗穿透上述介電層與上述阻障絕緣層，暴露上述導電層。

伍、(一)、本案代表圖為：第2E圖。

(二)、本案代表圖之元件代表符號簡單說明：

200~基底；

212~汲極區；

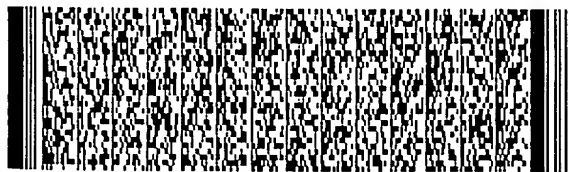
214~源極區；

220~閘極；

221~閘極介電層；

六、英文發明摘要 (發明名稱：METHOD OF FORMING BIT LINE CONTACT VIA)

A method of forming bit line contact via. The method includes providing a substrate having a device area and periphery contact area, the device area having a transistor on the substrate, having a gate electrode, drain region, and a source region, forming a conductive layer overlying the drain region, conformally forming an insulative barrier layer overlying the substrate, blanketly forming a



四、中文發明摘要 (發明名稱：位元線接觸窗的形成方法)

222~複晶矽層；
223~金屬矽化物層；
224~硬罩幕層；
225~間隙壁；
270~導電層。

六、英文發明摘要 (發明名稱：METHOD OF FORMING BIT LINE CONTACT VIA)

dielectric layer overlying the insulative barrier layer, and forming a via through the dielectric layer and insulative barrier layer, exposing the conductive layer.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種位元線接觸窗的形成方法，特別係有關一種在位元線接觸窗先行填入導電層的方法。

【先前技術】

近年來，隨著積體電路集積度的增加，半導體製程設計亦朝向縮小半導體元件尺寸以提高密度之方向發展，以目前廣泛使用之動態隨機存取記憶體為例，64M DRAM製程已從 $0.35\ \mu\text{m}$ 轉換至 $0.3\ \mu\text{m}$ 以下，而128M DRAM或256M DRAM則更朝向 $0.2\ \mu\text{m}$ 以下發展。

然而，隨著線寬不斷地縮減，製程困難度也不斷地提高。以位元線接觸窗的填充製程為例，當線寬縮減至約 $0.11\ \mu\text{m}$ 時，上述位元線接觸窗所暴露的汲極區的寬度就只有 $0.038\ \mu\text{m}$ 以下。因此，在上述位元線接觸窗中形成一導電層例如鎢金屬層時作為位元線接觸(bit line contact; CB)時就容易發生位元線接觸開路(CB open)或是字元線-位元線短路(word line-bit line short)的缺陷發生。只要上述位元線接觸開路或是字元線-位元線短路的缺陷一發生，即會導致所製造的半導體元件失效，對半導體製程的良率、成本等有不良影響。

請參考第1A~1F圖，為一系列之剖面圖，係顯示一習知的位元線接觸窗的形成方法如何導致上述的位元線接觸開路或是字元線-位元線短路的缺陷。

請參考第1A圖，首先，提供一基底100，例如為單晶



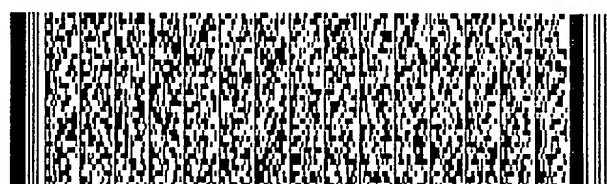
五、發明說明 (2)

矽之基底；其中基底100具有電晶體之結構，在基底100的主動面上具有以一間隔交錯排列的汲極區112與源極區114；在汲極區112與源極區114之間具有一凸出基底100表面的閘極120，閘極120係為一位元線，依據種種需求而通常具有多層結構，例如在第1A圖的閘極120中，由基底100的表面向上依序為一閘極介電層121、一作為導電層的複晶矽層122、一作為導電層的金屬矽化物層123、與一硬罩幕層124，而在閘極120之側壁有一間隙壁125。由於有間隙壁125存在於閘極120之側壁上，因此當半導體元件的設計準則(design rule)如上所述將線寬縮減至約 $0.11\ \mu\text{m}$ 時，相鄰的閘極120的間隙壁125之間所曝露的汲極區112的寬度就只有 $0.038\ \mu\text{m}$ 以下。

請參考第1B圖，依序於基底100上形成一介電層130及一圖案化阻劑層191，圖案化阻劑層191具有一開口191a，開口191a係露出部分介電層130之表面，即為後續形成位元線接觸窗之位置。

接下來的步驟係去除開口191a所暴露的介電層130以形成一作為位元線接觸窗的介層窗並暴露出汲極區112；以及在上述介層窗內填入一導電層，以作為位元線接觸。第1C~1D圖的步驟係顯示在上述的步驟中如何造成上述的位元線接觸開路的缺陷，而第1E~1F圖的步驟係顯示在上述的步驟中如何造成上述的字元線-位元線短路的缺陷。

請參考第1C圖，以圖案化阻劑層191為蝕刻罩幕對介電層130進行非等向性蝕刻，以形成介層窗131，暴露汲極

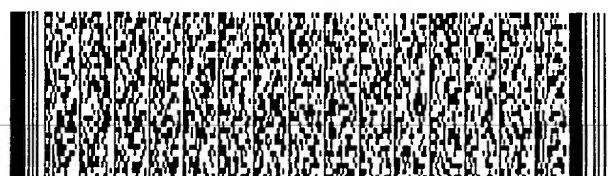
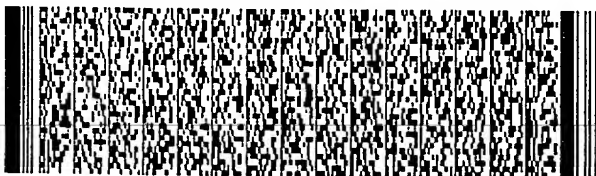


五、發明說明 (3)

區112，即為位元線接觸窗。然後，將圖案化阻劑層192去除。然而如上所述，線寬為約 $0.11\ \mu\text{m}$ 時，介層窗131所暴露的汲極區112的寬度就只有 $0.038\ \mu\text{m}$ 以下，相對於介電層130的厚度，一般為約 $0.3\ \mu\text{m}\sim 1.0\ \mu\text{m}$ ，介層窗131係具有相當大的深度。因此在介層窗131底部的介電層130中，愈接近汲極區112的介電層130就愈難被蝕刻，當上述的非等向性蝕刻反應終止時，在介層窗131的底部就往往會留下一些未受到蝕刻或未完全蝕刻的介電層130，而未暴露出汲極區112。

請參考第1D圖，因為在介層窗131底部上殘留有部份的介電層130而使汲極區112無法暴露出來，即使在介層窗131內形成一阻障層140後，並填入一作為位元線接觸的導電層150時，在介電層130並非導體的情況下，無法使導電層150與汲極區112無法產生電性連結，就造成了上述的位元線接觸開路的缺陷。

請參考第1E圖，接續第1B圖所繪示的步驟，以圖案化阻劑層191為蝕刻罩幕對介電層130進行非等向性蝕刻，以形成介層窗131'，暴露汲極區112，即為位元線接觸窗。然後，將圖案化阻劑層192去除。然而，為了避免如第1C圖所繪示的步驟，在介層窗131'的底部殘留介電層130而造成上述的位元線接觸開路的缺陷，就以過蝕刻(over etching)的方式強行將介層窗131'底部的介電層130蝕除，以暴露出汲極區112。在第1A與1B圖中，為了避免作為位元線的閘極120與後續所形成的位元線或位元線接觸



五、發明說明 (4)

之間發生短路，閘極120中的導電層之複晶矽層122與金屬矽化物層123係以硬罩幕層124與間隙壁125所保護，並在介電層130材質的選擇上以及蝕刻介電層130的方式，係以介電層130對硬罩幕層124與間隙壁125具有高蝕刻選擇比的方式進行蝕刻，避免閘極120中的導電層之複晶矽層122與金屬矽化物層123暴露出來而與後續所形成的位元線或位元線接觸之間發生短路。以介電質層130為氧化矽而硬罩幕層124與間隙壁125為氮化矽為例，介電層130對硬罩幕層124與間隙壁125的蝕刻選擇比為約10，一旦採取過蝕刻的方式強行將介層窗131'底部的介電層130蝕除，除了介層窗131'的寬度會擴大外，部份的硬罩幕層124與間隙壁125也會遭到蝕除而使金屬矽化物層123暴露出來，甚至複晶矽層122亦有可能也曝露出來。

請參考第1F圖，在閘極120的導電層之金屬矽化物層123暴露出來的情況下，經由在介層窗131'內形成一阻障層140後，並填入一作為位元線接觸的導電層150的步驟之後，作為位元線接觸的導電層150便與閘極120的導電層之金屬矽化物層123發生電性連結，即造成上述的字元線-位元線短路的缺陷。

【發明內容】

有鑑於此，本發明的主要目的係提供一種位元線接觸窗的形成方法，在填充位元線接觸窗時，避免上述位元線接觸開路或是字元線-位元線短路的缺陷之發生，以改善半導體製程的良率，並降低上述半導體製程的成本。



五、發明說明 (5)

為達成本發明之上述目的，本發明係提供一種位元線接觸窗的形成方法，包括下列步驟：提供一基底，上述基底具有一電晶體，上述電晶體係形成於上述基底上，包含一閘極、一汲極區、與一源極區；於上述汲極區的表面形成一導電層；順應性地於上述基底上形成一阻障絕緣層；毯覆性地於上述阻障絕緣層上形成一介電層；以及形成一介層窗穿透上述介電層與上述阻障絕緣層，暴露上述導電層。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉二較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

第一實施例

請參考第2A~2H圖，為一系列之剖面圖，係顯示本發明第一實施例中位元線接觸窗的形成方法的步驟。

步驟一：

請參考第2A圖，首先，提供一基底200，例如為單晶矽之基底；其中基底200具有電晶體之結構，在基底200的主動面上具有以一間隔交錯排列的汲極區212與源極區214；在汲極區212與源極區214之間具有一凸出基底200表面的閘極220，閘極220係為一位元線，依據種種需求而通常具有多層結構，例如在第2A圖的閘極220中，由基底200的表面向上依序為一閘極介電層221例如為氧化層、一作為



五、發明說明 (6)

導電層的複晶矽層222、一作為導電層的金屬矽化物層223例如為矽化鎢層、與一硬罩幕層224例如為氮化矽層，而在閘極220之側壁有一例如為氮化矽所形成的間隙壁225。由於有間隙壁225存在於閘極220之側壁上，因此當半導體元件的設計準則(design rule)如上所習知技術所敘述，將線寬縮減至約 $0.11\ \mu\text{m}$ 時，相鄰的閘極220的間隙壁225之間所曝露的汲極區212的寬度就只有 $0.038\ \mu\text{m}$ 以下。其中上述閘極220之結構僅是習知之閘極結構中之一例，非關本發明之特徵，非為限制本發明範圍之依據。

步驟二：

在本發明第一實施例之步驟二中，係在基底200形成一介電層之前，在基底200之汲極區212上，先行形成一導電層270例如為摻雜的複晶矽層，可以避免習知技術中於介層窗底部殘留氧化層而造成位元線接觸開路的缺陷、或是以過蝕刻的方式蝕除介層窗底部殘留的氧化層而使閘極中的導電層暴露而造成字元線-位元線短路的缺陷，而提升半導體製程良率並降低半導體製程成本。以下為一較佳之範例。

請參考第2B圖，以例如化學氣相沉積法(chemical vapor deposition; CVP)或物理氣相沉積法於基底200上毯覆性地形成一導電層270，較好為使用化學氣相沉積法於基底200上毯覆性地形成材質為摻雜的複晶矽的導電層270，其中所摻雜的物質較好為Ⅲ族或Ⅴ族元素，例如砷。



五、發明說明 (7)

請參考第2C圖，以回蝕法(etching back)或化學機械研磨(chemical mechanical polishing; CMP)，去除多餘的導電層270，而在閘極220之間的汲極區212與源極區214上留下厚度小於閘極222的導電層270。

請參考第2D圖，於基底200上形成一圖案化阻劑層291，暴露出源極區214上的導電層270與其他不擬形成接觸區的基底200上的導電層270。

請參考第2E圖，以圖案化阻劑層291為蝕刻罩幕對所暴露的導電層270進行非等向性蝕刻，而在預定要形成位元線接觸的汲極區212上留下導電層270。之後，除去圖案化阻劑層291。

在上述第2B~2E圖所敘述的流程中，僅為本發明第一實施例之步驟二中，在基底200形成一介電層之前，在基底200上汲極區212上，先行形成一導電層270之一例。不應為本發明之限制，尚其他的流程可達成上述本發明第一實施例之步驟二，例如可在基底200上先形成一圖案化光阻層(未繪示於圖面)，暴露出汲極區212，之後再適當地控制製程條件，於汲極區212上沉積厚度小於閘極220的導電層270；或是可以選擇性地沉積方式，並適當地控制製程條件，直接於汲極區212上沉積厚度小於閘極220的導電層270。

步驟三：

請參考第2F圖，以例如化學氣相沉積法，在基底200上沉積一阻障絕緣層260例如為氮化矽層。阻障絕緣層260



五、發明說明 (8)

係用來防止後續於基底200形成一介電層時，上述介電層與導電層270或基底200發生交互擴散現象，而對導電層270或基底200的電性造成不良影響。

步驟四：

請參考第2G圖，依序於基底200上形成一介電層230例如為氧化物層及一圖案化阻劑層293。其中形成介電層230的方法可以是：(1)以例如化學氣相沉積法(chemical vapor deposition; CVD)在基底200上沉積一填洞能力較佳的硼磷矽玻璃層(boro-phosphosilicate glass; BPSG)(未繪示於圖面)；(2)平坦化上述BPSG層；(3)以例如CVD法以四乙烷基氧矽甲烷(tetra ethoxysilane; TEOS)為前驅物在上述BPSG層形成一二氧化矽層(未繪示於圖面)；以及(4)平坦化上述二氧化矽層而形成介電層230。而在上述圖案化阻劑層293具有一開口293a，開口293a露出部分介電層230之表面，且開口293a之位置即為後續形成位元線接觸窗之位置。

步驟五：

請參考第2H圖，以圖案化阻劑層293為蝕刻罩幕對介電層230進行非等向性蝕刻，並將阻障絕緣層260蝕穿，以形成介層窗231。其中介層窗231係暴露汲極區212上的導電層270，即為位元線接觸窗。然後，將圖案化阻劑層292去除。

與習知技術比較，本發明第一實施例的優點係提供一種位元線接觸窗的形成方法，係於在基底上形成一介電層



五、發明說明 (9)

之前，先行於汲極區上形成一作為位元線接觸的導電層，可以避免習知技術中於介層窗底部殘留氧化層而造成位元線接觸開路的缺陷、或是以過蝕刻的方式蝕除介層窗底部殘留的氧化層而使閘極中的導電層暴露而造成字元線-位元線短路的缺陷，而提升半導體製程良率並降低半導體製程成本，係達成上述本發明之主要目的。

第二實施例

請參考第3A~3I圖，為一系列之剖面圖，係顯示本發明第二實施例中位元線接觸窗的形成方法的步驟。

步驟一：

請參考第3A圖，首先，提供一基底300，例如為單晶矽之基底；其中基底200具有電晶體之結構，在基底300的主動面上具有以一間隔交錯排列的汲極區312與源極區314；在汲極區312與源極區314之間具有一凸出基底300表面的閘極320，閘極320係為一位元線，依據種種需求而通常具有多層結構，例如在第3A圖的閘極320中，由基底300的表面向上依序為一閘極介電層321例如為氧化層、一作為導電層的複晶矽層322、一作為導電層的金屬矽化物層323例如為矽化鎢層、與一硬罩幕層324例如為氮化矽層，而在閘極320之側壁有一例如為氮化矽所形成的間隙壁325。由於有間隙壁325存在於閘極320之側壁上，因此當半導體元件的設計準則(design rule)如上所習知技術所敘述，將線寬縮減至約 $0.11\ \mu\text{m}$ 時，相鄰的閘極320的間隙壁325之間所曝露的汲極區312的寬度就只有 $0.038\ \mu\text{m}$ 以下。其



五、發明說明 (10)

中上述閘極320之結構僅是習知之閘極結構中之一例，非關本發明之特徵，非為限制本發明範圍之依據。

步驟二：

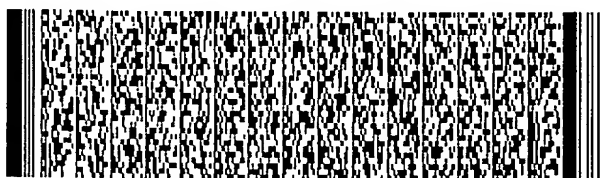
請參考第3B圖，在基底300上特別係間隙壁325、汲極區312的表面、與源極區314的表面順應性地形成一導電層340，導電層340較好為包含一金屬/金屬化合物層例如為Ti/TiSi層。

步驟三：

請參考第3C圖，以例如化學氣相沉積法(chemical vapor deposition; CVP)於基底300上毯覆性地形成一具導電性的摻雜的複晶矽層370，其中所摻雜的物質較好為Ⅲ族或V族元素，例如砷。

步驟四：

在本發明第二實施例之步驟四中，係移除多餘的導電層340與摻雜的複晶矽層370，而在汲極區312留下厚度小於閘極320的摻雜的複晶矽層370和摻雜的複晶矽層370下方的導電層340。藉由本發明第二實施例之步驟三與步驟四，係在基底300形成一介電層之前，在基底300之汲極區312上，先行形成一具導電性的摻雜的複晶矽層370，可以避免習知技術中於介層窗底部殘留氧化層而造成位元線接觸開路的缺陷、或是以過蝕刻的方式蝕除介層窗底部殘留的氧化層而使閘極中的導電層暴露而造成字元線-位元線短路的缺陷，而提升半導體製程良率並降低半導體製程成本。以下為本發明第二實施例之步驟四之一較佳之範例。



五、發明說明 (11)

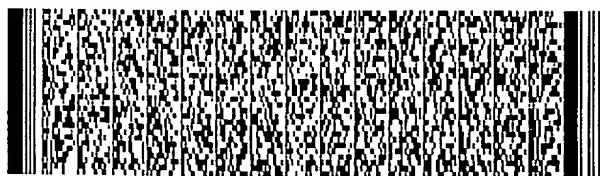
請參考第3D圖，以回蝕法(etching back)或化學機械研磨(chemical mechanical polishing; CMP)，去除多餘的摻雜的複晶矽層370，而在閘極320之間的汲極區312與源極區314上留下厚度小於閘極322的摻雜的複晶矽層370。

請參考第3E圖，於基底300上形成一圖案化阻劑層391，暴露出源極區314上的導電層370與其他不擬形成接觸區的基底300上的導電層370。

請參考第3F圖，以圖案化阻劑層391為蝕刻罩幕，並以導電層340為終止層，對所暴露的摻雜的複晶矽層370進行非等向性蝕刻，而在預定要形成位元線接觸的汲極區312上留下摻雜的複晶矽層370。然後，去除圖案化阻劑層391，例如以一氧氣電漿(未繪示於圖面)將圖案化阻劑層391灰化(ashing)。接著，除去未被摻雜的複晶矽層370覆蓋的導電層340，例如當導電層340包含Ti/TiSi層時，可分別使用硫酸與過氧化氫之水溶液(sulfuric acid-hydrogen peroxide mixture; SPM)和氫氧化銨與過氧化氫之水溶液(ammonium hydrogen peroxide mixture; APM)移除未被摻雜的複晶矽層370覆蓋的導電層340。

步驟五：

請參考第3G圖，以例如化學氣相沉積法，在基底300上沉積一阻障絕緣層360例如為氮化矽層。阻障絕緣層360係用來防止後續於基底300形成一介電層時，上述介電層與摻雜的複晶矽層370或基底300發生交互擴散現象，而對



五、發明說明 (12)

摻雜的複晶矽層370或基底300的電性造成不良影響。

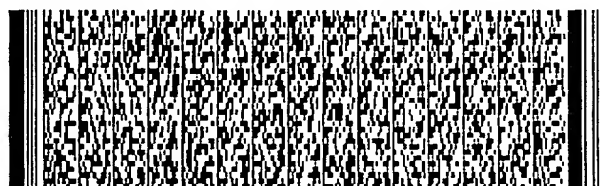
步驟六：

請參考第3H圖，依序於基底300上形成一介電層330例如為氧化物層及一圖案化阻劑層393。其中形成介電層330的方法可以是：(1)以例如化學氣相沉積法(chemical vapor deposition；CVD)在基底200上沉積一填洞能力較佳的硼磷矽玻璃層(boro-phosphosilicate glass；BPSG)(未繪示於圖面)；(2)平坦化上述BPSG層；(3)以例如CVD法以四乙烷基氧矽甲烷(tetra ethoxysilane；TEOS)為前驅物在上述BPSG層形成一二氧化矽層(未繪示於圖面)；以及(4)平坦化上述二氧化矽層而形成介電層330。而在上述圖案化阻劑層393具有一開口393a，開口392a露出部分介電層330之表面，且開口392a之位置即為後續形成位元線接觸窗之位置。

步驟七：

請參考第3I圖，以圖案化阻劑層393為蝕刻罩幕對介電層330進行非等向性蝕刻，並將阻障絕緣層360蝕穿，以形成介層窗331。其中介層窗331係暴露汲極區312上的摻雜的複晶矽層370，即為位元線接觸窗。然後，將圖案化阻劑層392去除。

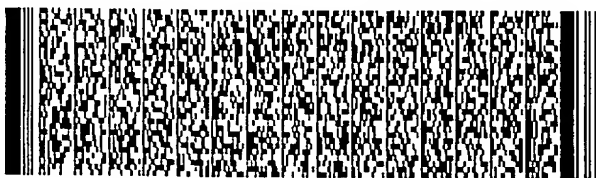
與習知技術比較，本發明第二實施例的優點係提供一種位元線接觸窗的形成方法，係於在基底上形成一介電層之前，先行於汲極區上形成一作為位元線接觸的導電層，可以避免習知技術中於介層窗底部殘留氧化層而造成位元



五、發明說明 (13)

線接觸開路的缺陷、或是以過蝕刻的方式蝕除介層窗底部殘留的氧化層而使閘極中的導電層暴露而造成字元線-位元線短路的缺陷，而提升半導體製程良率並降低半導體製程成本，係達成上述本發明之主要目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

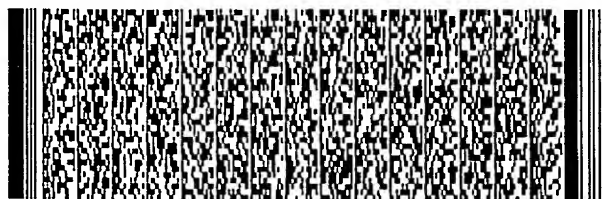
第1A~1F圖為一系列之剖面圖，係顯示一習知的位元線接觸窗的形成方法如何導致上述的位元線接觸開路或是字元線-位元線短路的缺陷。

第2A~2H圖為一系列之剖面圖，係顯示本發明第一實施例中位元線接觸窗的形成方法的步驟。

第3A~3I圖為一系列之剖面圖，係顯示本發明第三實施例中位元線接觸窗的形成方法的步驟。

符號說明

- 100、200、300~基底；
- 112、212、312~汲極區；
- 114、214、314~源極區；
- 120、220、320~閘極；
- 121、221、321~閘極介電層；
- 122、222、322~複晶矽層；
- 123、223、323~金屬矽化物層；
- 124、224、324~硬罩幕層；
- 125、225、325~間隙壁；
- 130、230、330~介電層；
- 131、131'、231、331~介層窗；
- 140~阻障層；
- 150~導電層；
- 191~圖形化阻劑層；
- 291、293~圖形化阻劑層；



圖式簡單說明

191a、293a~開口；
260、360~阻障絕緣層；
270~導電層；
340~導電層；
370~摻雜的複晶矽層；
391、393~圖形化阻劑層；
393a~開口。



六、申請專利範圍

1. 一種位元線接觸窗的形成方法，包括下列步驟：

提供一基底，該基底具有一電晶體，該電晶體係形成於該基底上，包含一閘極、一汲極區、與一源極區；

於該汲極區的表面形成一導電層；

順應性地於該基底上形成一阻障絕緣層；

毯覆性地於該阻障絕緣層上形成一介電層；以及

形成一介層窗穿透該介電層與該阻障絕緣層，暴露該導電層。

2. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中形成該導電層更包含下列步驟：

毯覆性地於該基底上形成該導電層；

移除多餘的該導電層，而在該汲極區與該源極區上留下厚度小於該閘極的該導電層；

形成一圖案化阻劑層，暴露該源極區上的該導電層；

以該圖案化阻劑層為罩幕，移除該源極區上的該導電層；以及

移除該圖案化阻劑層。

3. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中形成該導電層更包含下列步驟：

順應性地於該基底上形成一金屬/金屬化合物層，

毯覆性地於該基底上形成該導電層；

移除多餘的該導電層，而在該汲極區與該源極區上留下厚度小於該閘極的該導電層；

形成一圖案化阻劑層，暴露該源極區上的該導電層；



六、申請專利範圍

以該圖案化阻劑層為罩幕、該金屬/金屬化合物層為終止層，移除該源極區上的該導電層；以及

移除該圖案化阻劑層與未被該導電層覆蓋的該金屬/金屬化合物層。

4. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中形成該導電層更包含下列步驟：

順應性地於該基底上形成一Ti/TiSi層；

毯覆性地於該基底上形成該導電層；

移除多餘的該導電層，而在該汲極區與該源極區上留下厚度小於該閘極的該導電層；

形成一圖案化阻劑層，暴露該源極區上的該導電層；

以該圖案化阻劑層為罩幕、該Ti/TiSi層為終止層，移除該源極區上的該導電層；

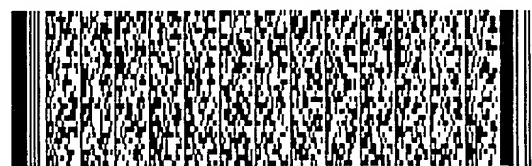
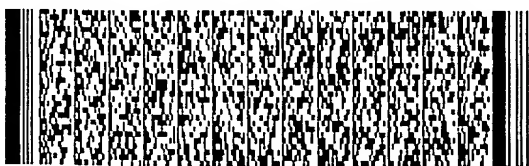
以氧氣電漿灰化(ashing)該圖案化阻劑層；以及

分別使用硫酸與過氧化氫之水溶液(sulfuric acid-hydrogen peroxide mixture ; SPM)和氫氧化銨與過氧化氫之水溶液(ammonium hydrogen peroxide mixture ; APM)移除未被該導電層覆蓋的該Ti/TiSi層。

5. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中該導電層為摻雜的複晶矽層。

6. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中該阻障絕緣層為SiN。

7. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中該介電層包含氧化物。



六、申請專利範圍

8. 如申請專利範圍第1項所述之位元線接觸窗的形成方法，其中該介電層包含硼磷矽玻璃 (boro-phosphosilicate glass ; BPSG)。

9. 如申請專利範圍第3項所述之位元線接觸窗的形成方法，其中該金屬/金屬化合物層包含Ti/TiSi層。

10. 如申請專利範圍第5項所述之位元線接觸窗的形成方法，其中該導電層係摻雜Ⅲ族元素或V族元素。

11. 如申請專利範圍第5項所述之位元線接觸窗的形成方法，其中該導電層係摻雜砷。

12. 一種位元線接觸窗的形成方法，包括下列步驟：

提供一基底，該基底具有一電晶體，該電晶體係形成於該基底上，包含一閘極、一汲極區、與一源極區；

順應性地於該基底上形成一導電層；

毯覆性地於該基底上形成一摻雜的複晶矽層；

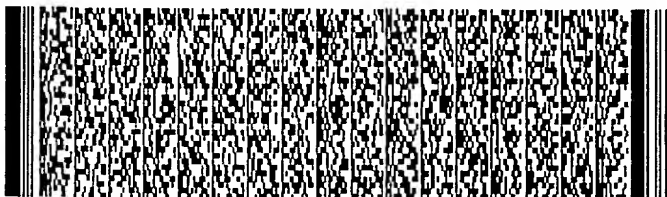
移除多餘的該導電層與該摻雜的複晶矽層，而在該汲極區留下厚度小於該閘極的該摻雜的複晶矽層和該摻雜的複晶矽層下方的該導電層；

順應性地於該基底上形成一阻障絕緣層；

毯覆性地於該阻障絕緣層上形成一介電層；以及

形成一介層窗穿透該介電層與該阻障絕緣層，暴露該摻雜的複晶矽層。

13. 如申請專利範圍第12項所述之位元線接觸窗的形成方法，其中移除多餘的該導電層與該摻雜的複晶矽層更包含下列步驟：



六、申請專利範圍

以回蝕法或化學機械研磨移除部份該摻雜的複晶矽層，而在該汲極區與該源極區上留下厚度小於該閘極的該摻雜的複晶矽層；

形成一圖案化阻劑層，暴露該源極區上的該摻雜的複晶矽層；

以該圖案化阻劑層為罩幕、該導電層為終止層，移除該源極區上的該摻雜的複晶矽層；以及

移除該圖案化阻劑層與未被該摻雜的複晶矽層覆蓋的該導電層。

14. 如申請專利範圍第12項所述之位元線接觸窗的形成方法，其中該導電層包含Ti/TiSi層，且移除多餘的該導電層與該摻雜的複晶矽層更包含下列步驟：

移除部份該摻雜的複晶矽層，而在該汲極區與該源極區上留下厚度小於該閘極的該摻雜的複晶矽層；

形成一圖案化阻劑層，暴露該源極區上的該摻雜的複晶矽層；

以該圖案化阻劑層為罩幕、該導電層為終止層，移除該源極區上的該摻雜的複晶矽層；

以氧氣電漿灰化(ashing)該圖案化阻劑層；以及

分別使用硫酸與過氧化氫之水溶液(sulfuric acid-hydrogen peroxide mixture; SPM)和氫氧化銨與過氧化氫之水溶液(ammonium hydrogen peroxide mixture; APM)移除未被該導電層覆蓋的該導電層。

15. 如申請專利範圍第12項所述之位元線接觸窗的形



六、申請專利範圍

成方法，其中該阻障絕緣層為SiN。

16. 如申請專利範圍第12項所述之位元線接觸窗的形成方法，其中該介電層包含氧化物。

17. 如申請專利範圍第12項所述之位元線接觸窗的形成方法，其中該介電層包含硼磷矽玻璃 (boro-phosphosilicate glass ; BPSG)。

18. 如申請專利範圍第12項所述之位元線接觸窗的形成方法，其中該摻雜的複晶矽層係摻雜Ⅲ族元素或Ⅴ族元素。

19. 如申請專利範圍第12項所述之位元線接觸窗的形成方法，其中該摻雜的複晶矽層係摻雜砷。

20. 一種位元線接觸窗的形成方法，包括下列步驟：

提供一基底，該基底具有一電晶體，該電晶體係形成於該基底上，包含一閘極、一汲極區、與一源極區；

順應性地於該基底上形成一Ti/TiSi層；

毯覆性地於該基底上形成一摻雜的複晶矽層；

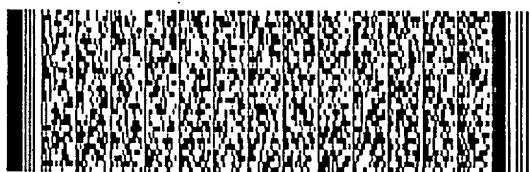
移除部份該摻雜的複晶矽層，而在該汲極區與該源極區上留下厚度小於該閘極的該摻雜的複晶矽層；

形成一圖案化阻劑層，暴露該源極區上的該摻雜的複晶矽層；

以該圖案化阻劑層為罩幕、該Ti/TiSi層為終止層，移除該源極區上的該摻雜的複晶矽層；

以氧氣電漿灰化(ashing)該圖案化阻劑層；

分別使用硫酸與過氧化氫之水溶液(sulfuric acid-



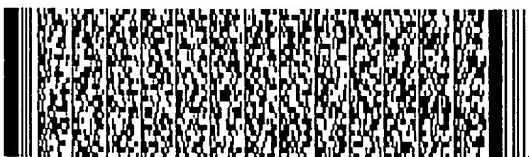
六、申請專利範圍

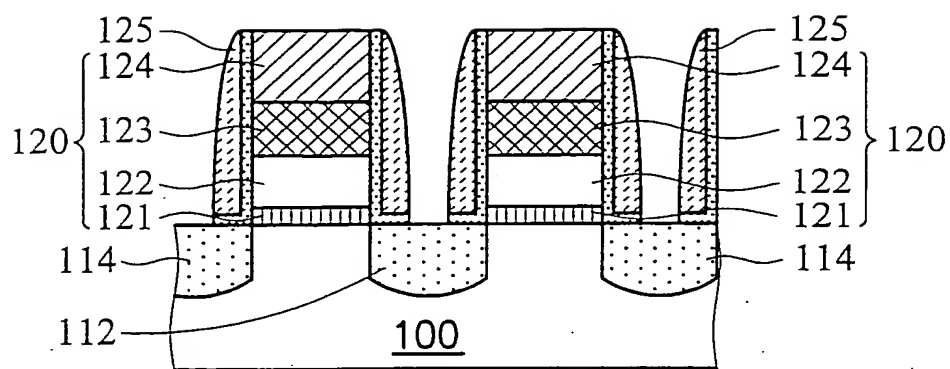
hydrogen peroxide mixture ; SPM) 和 氫氧化銨與過氧化氫之水溶液(ammonium hydrogen peroxide mixture ; APM) 移除未被該摻雜的複晶矽層覆蓋的該Ti/TiSi層；

順應性地於該基底上形成一SiN層；

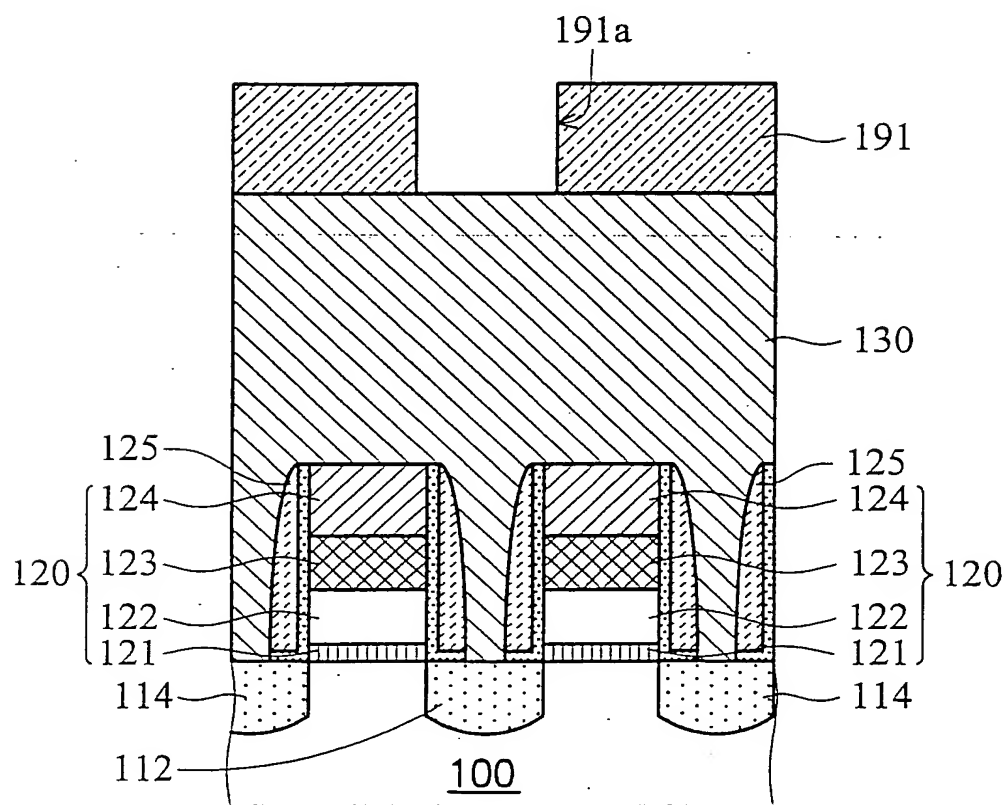
毯覆性地於該阻障絕緣層上形成一介電層；以及

形成一介層窗穿透該介電層與該SiN層，暴露該摻雜的複晶矽層。

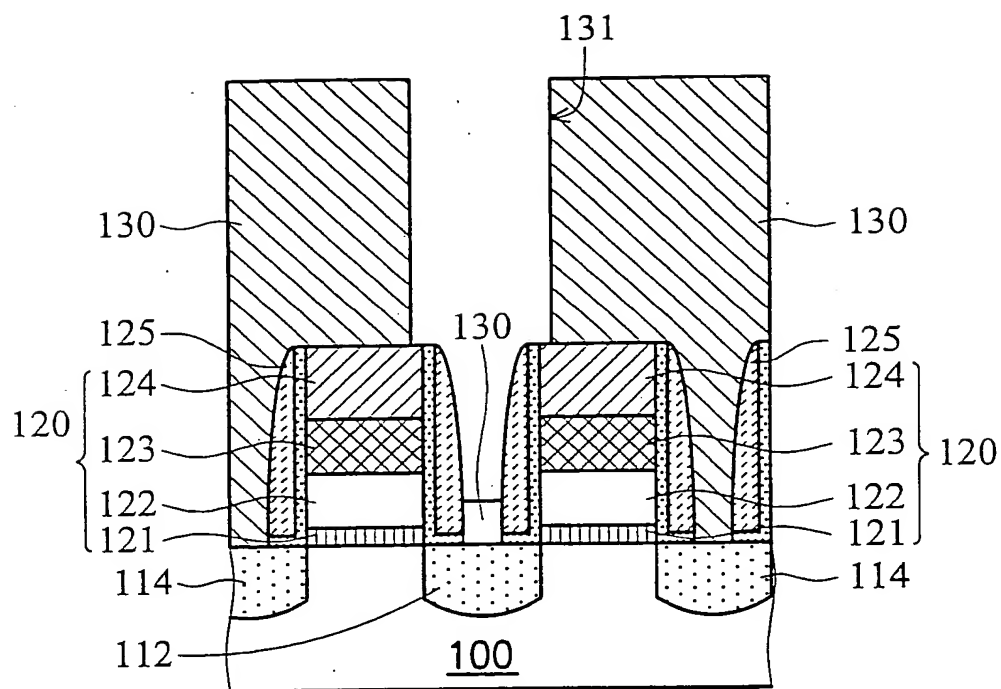




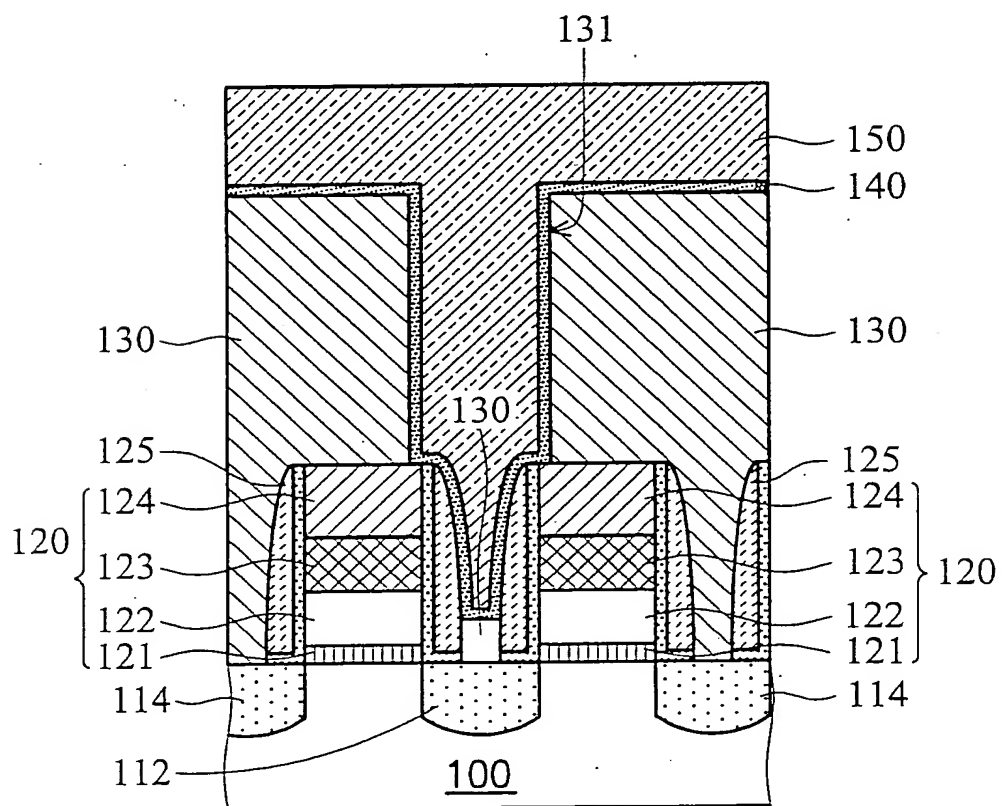
第 1A 圖



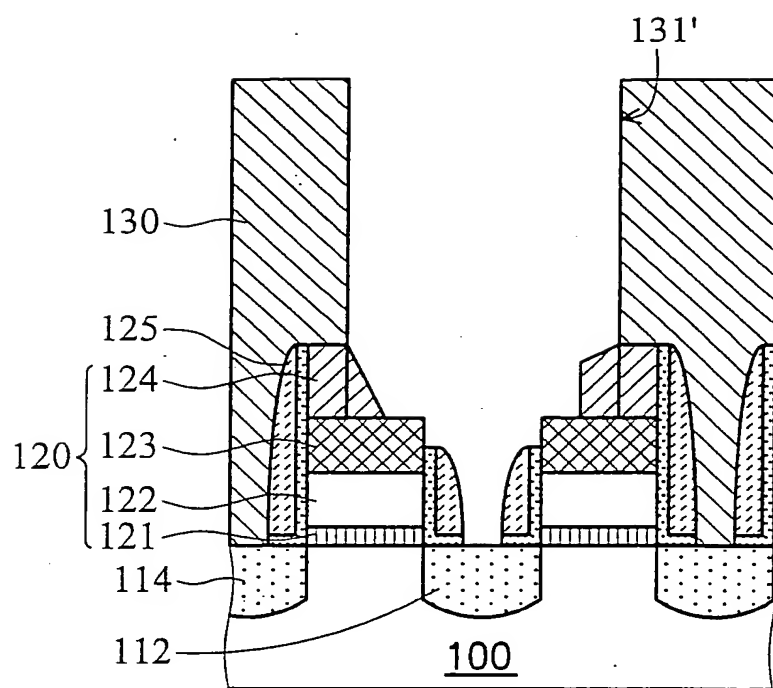
第 1B 圖



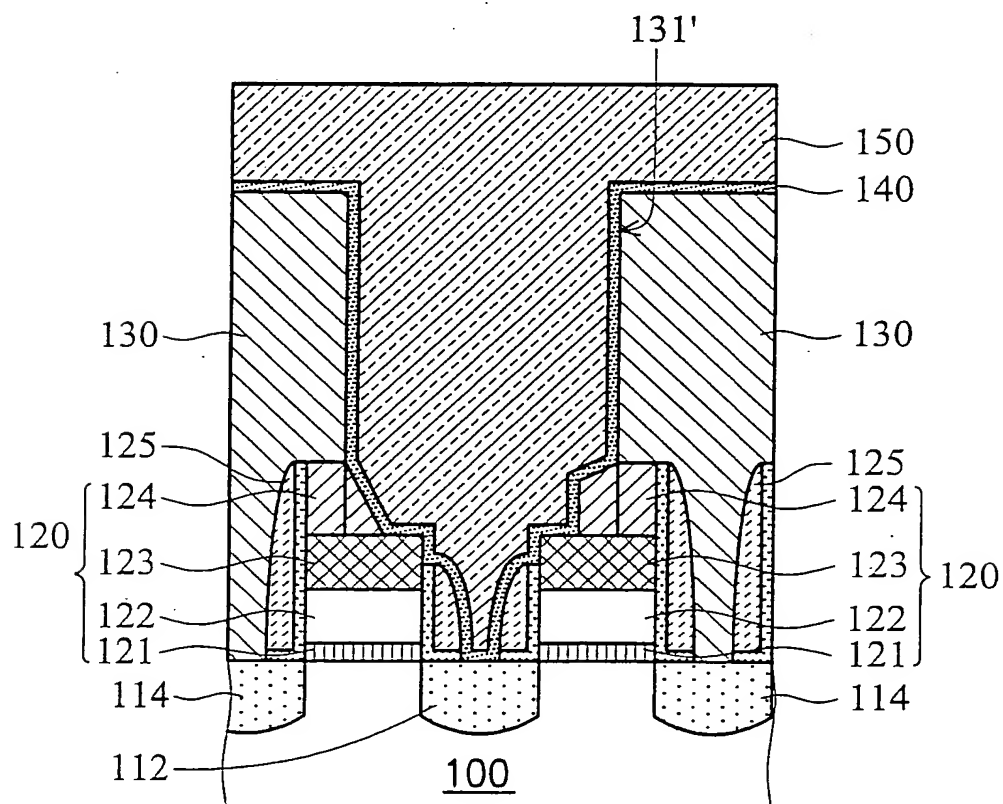
第1C圖



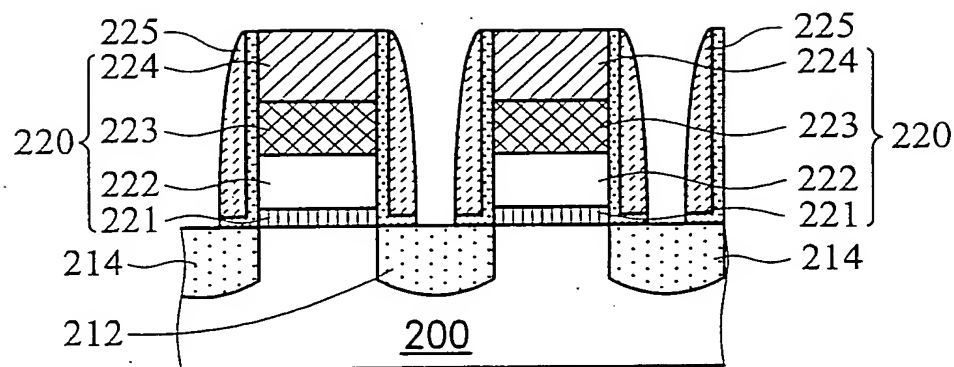
第1D圖



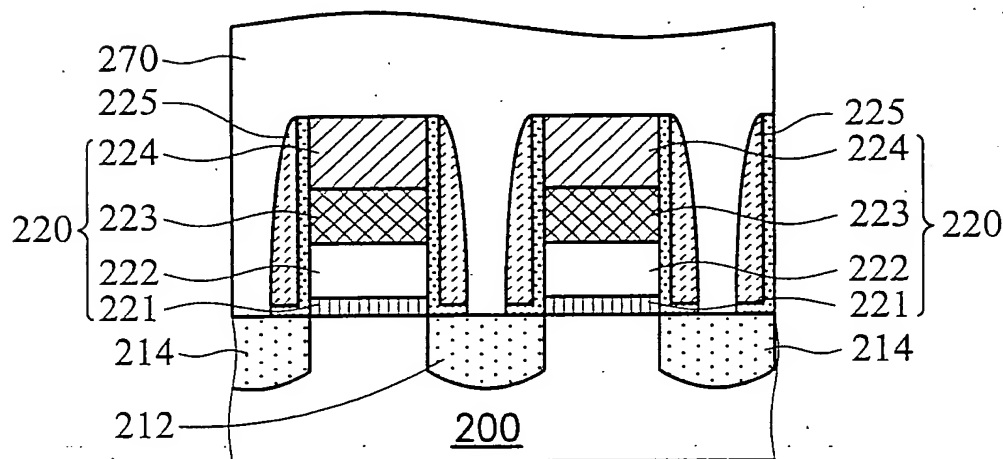
第1E圖



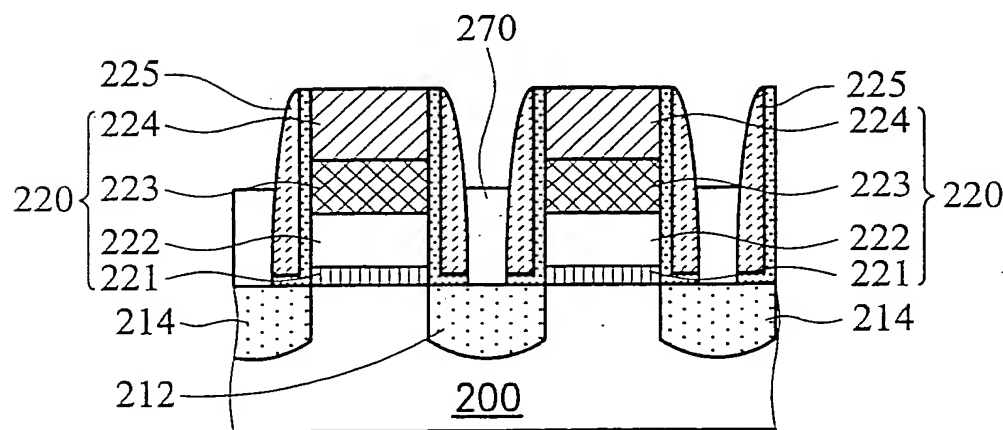
第1F圖



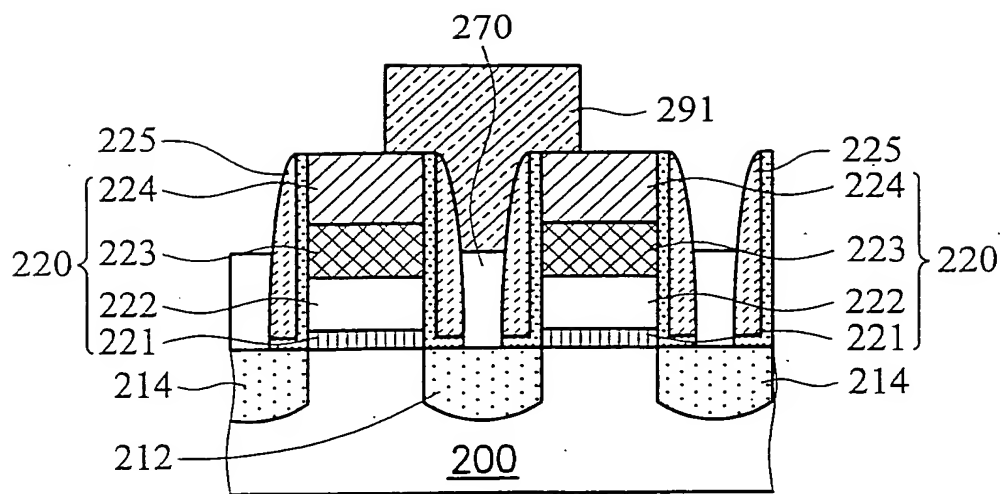
第2A圖



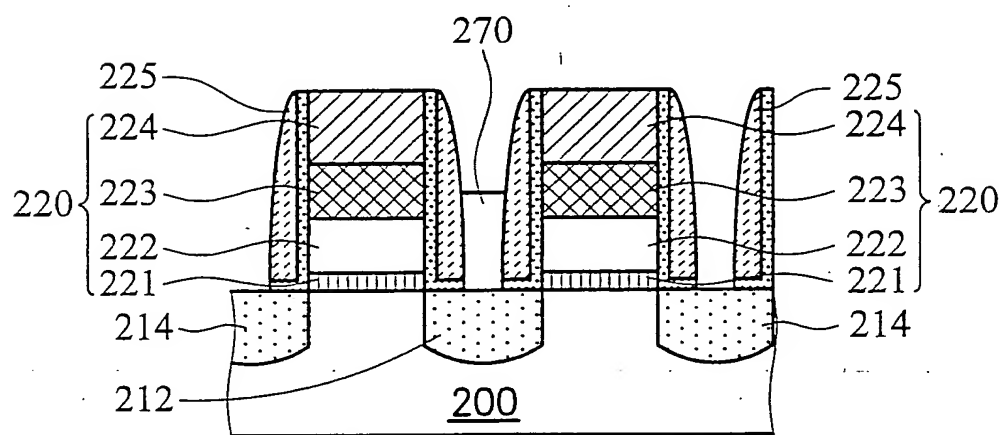
第2B圖



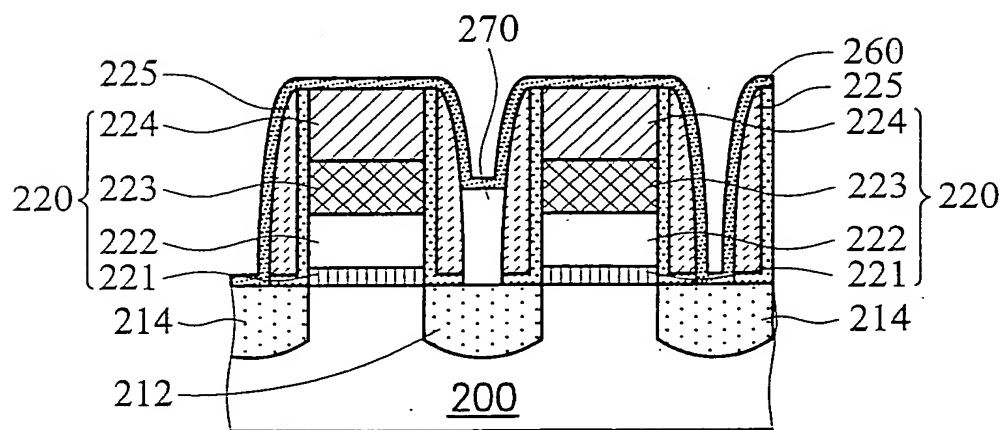
第2C圖



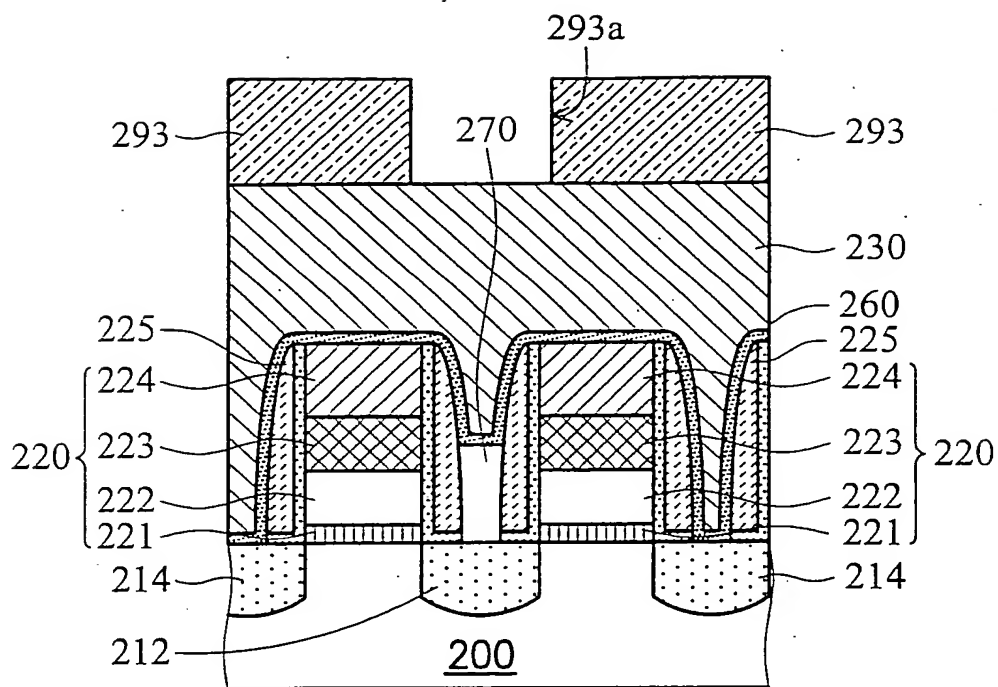
第2D圖



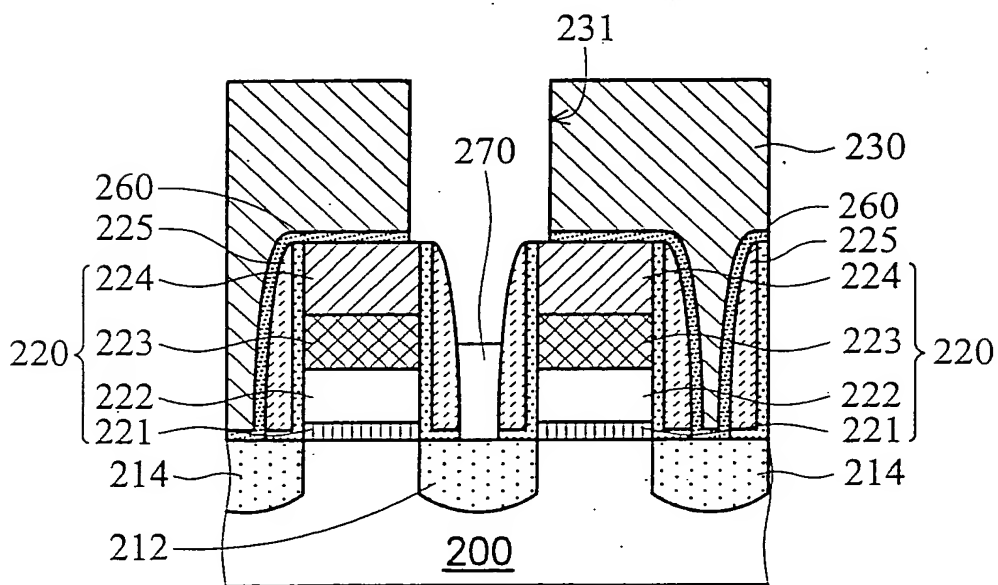
第2E圖



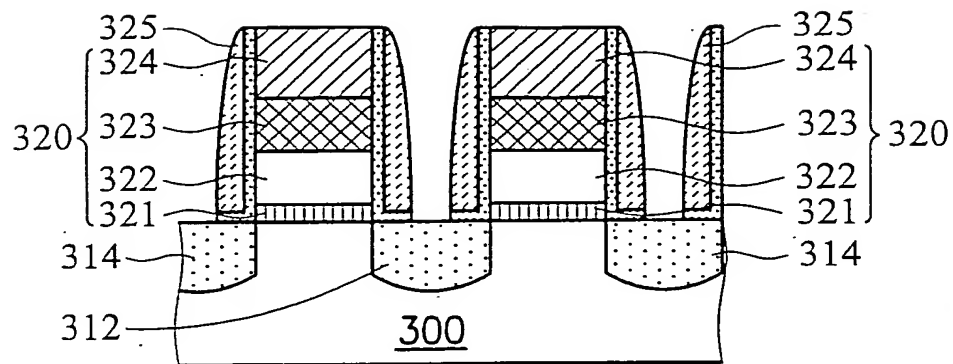
第2F圖



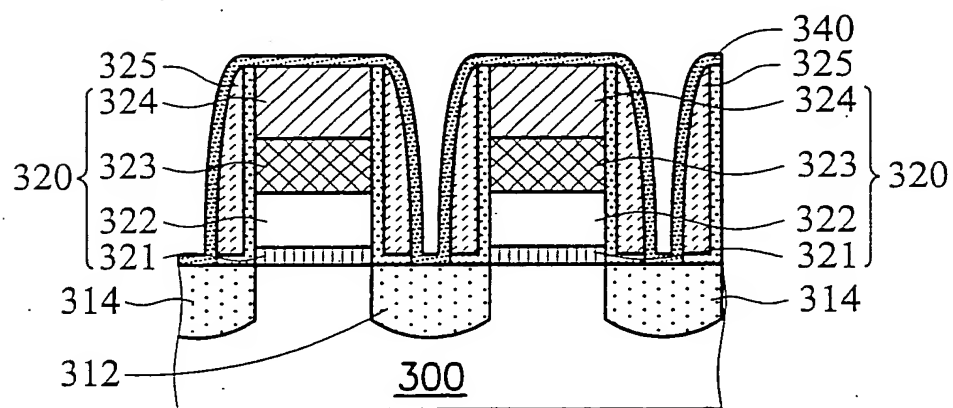
第2G圖



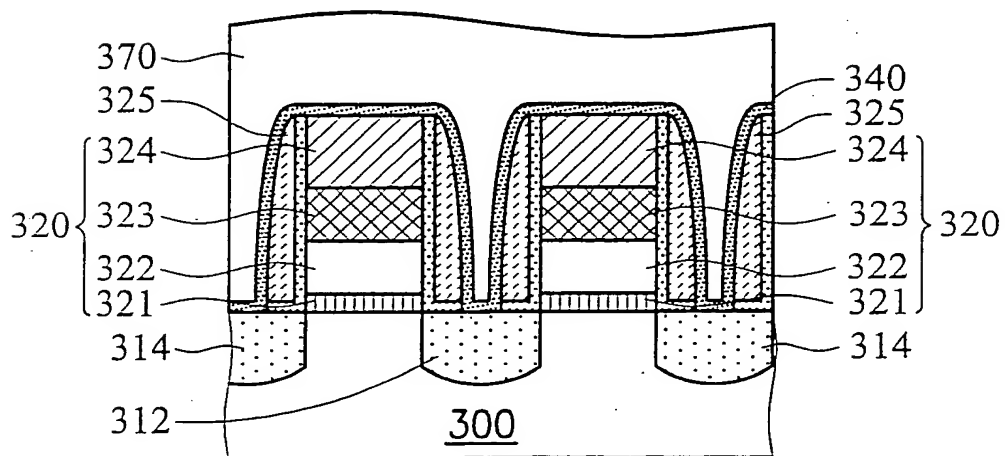
第2H圖



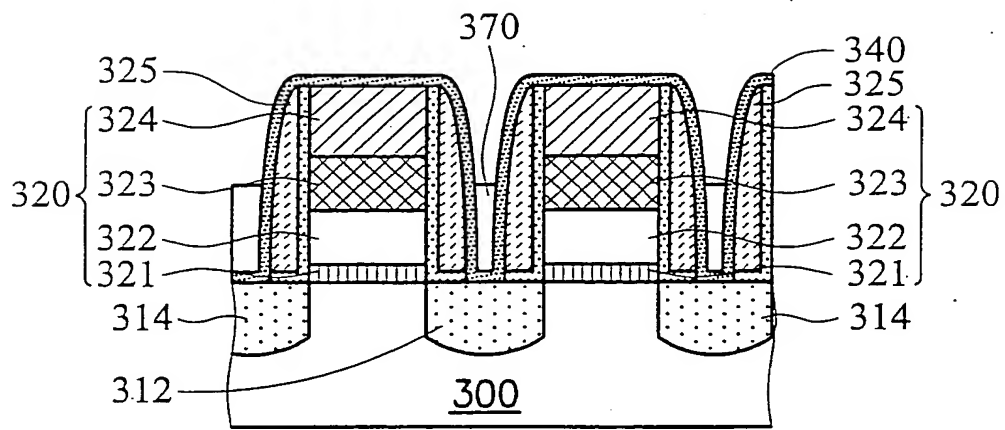
第3A圖



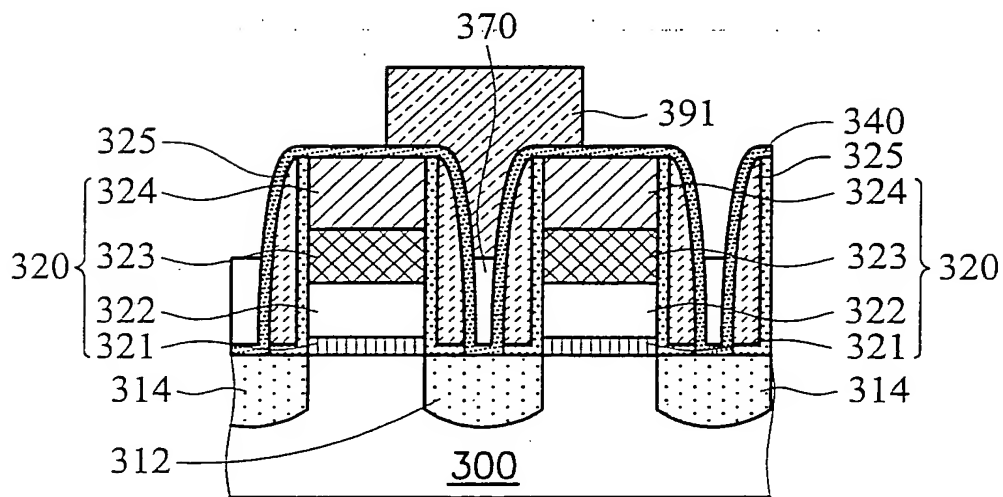
第3B圖



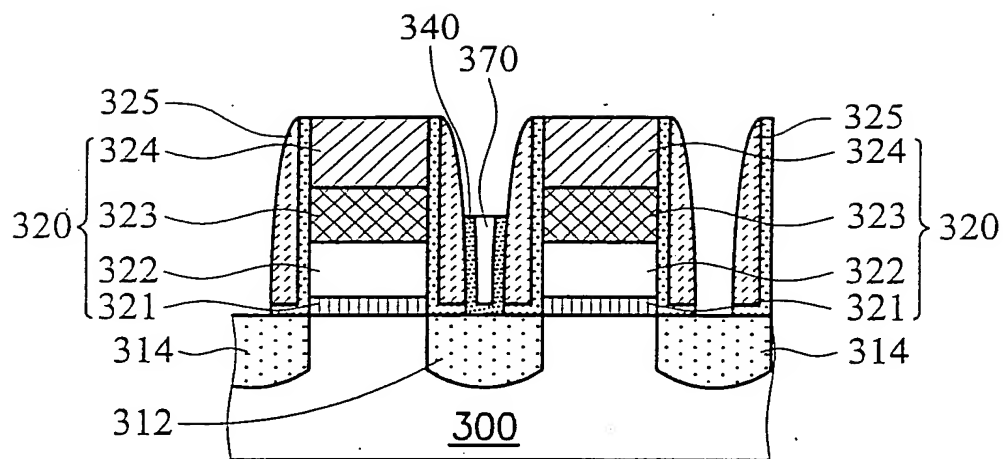
第3C圖



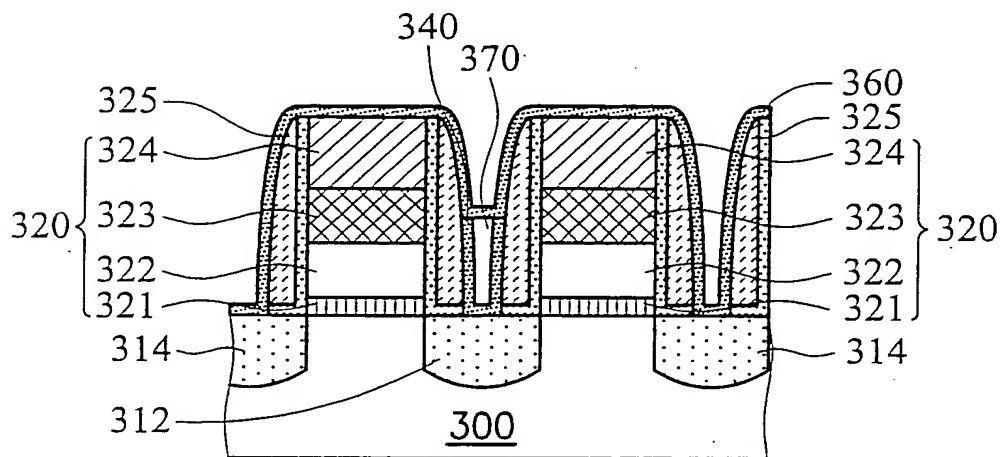
第3D圖



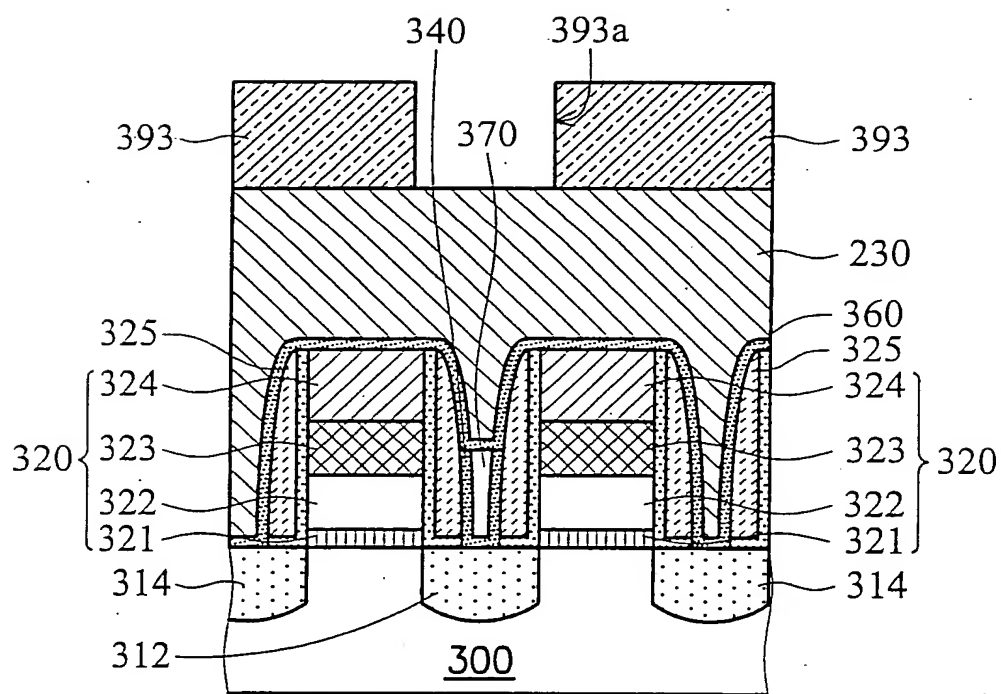
第3E圖



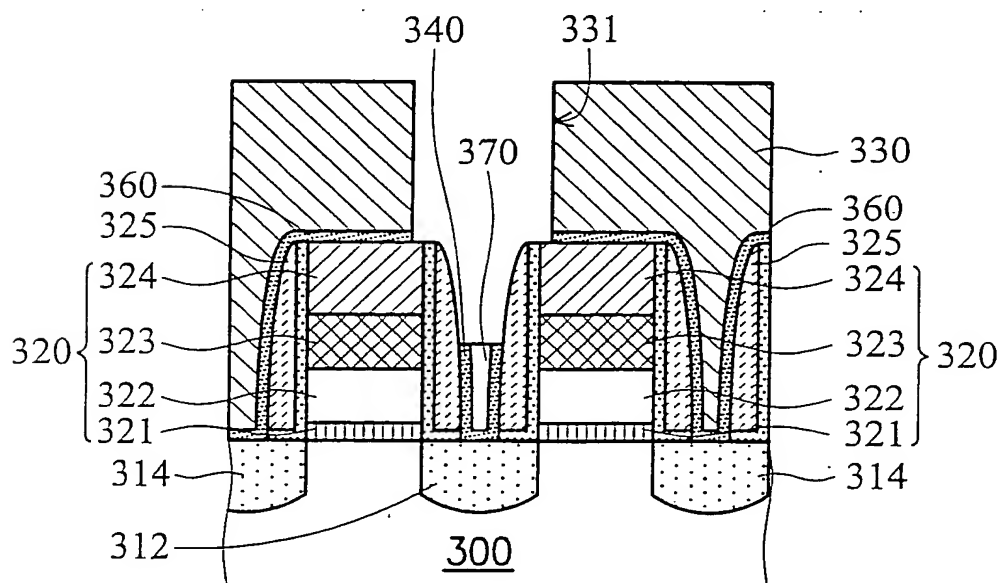
第3F圖



第3G圖



第3H圖



第3I圖

第 1/25 頁



第 2/25 頁



第 2/25 頁



第 3/25 頁



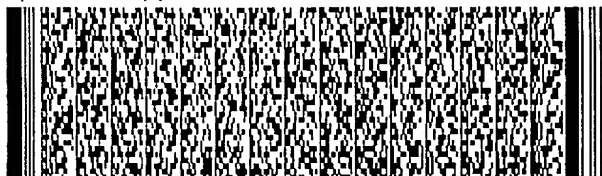
第 4/25 頁



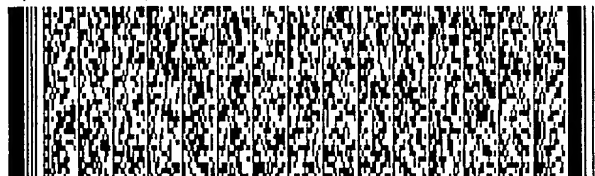
第 5/25 頁



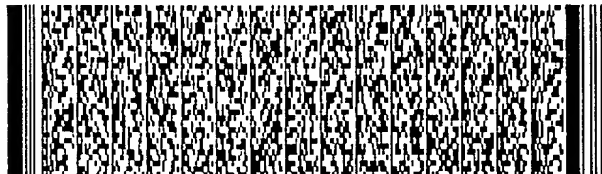
第 5/25 頁



第 6/25 頁



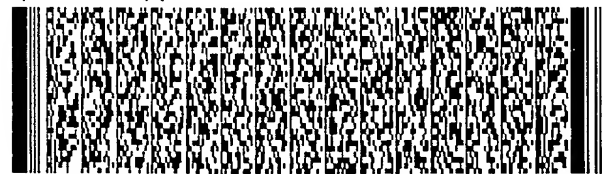
第 6/25 頁



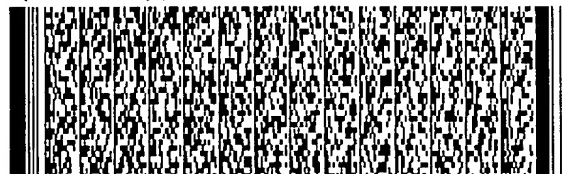
第 7/25 頁



第 7/25 頁



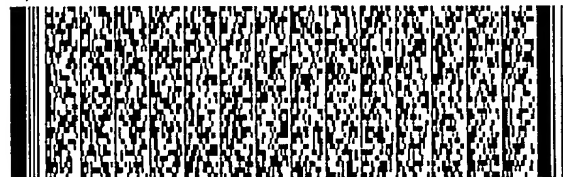
第 8/25 頁



第 8/25 頁



第 9/25 頁



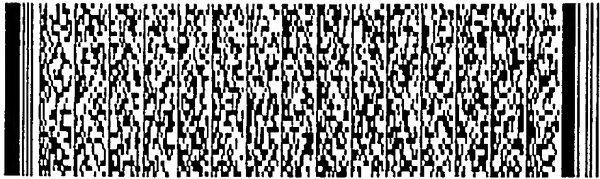
第 9/25 頁



第 10/25 頁



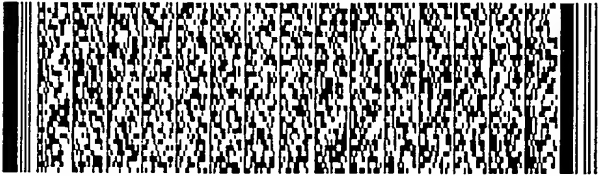
第 10/25 頁



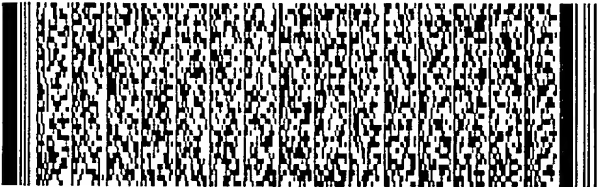
第 11/25 頁



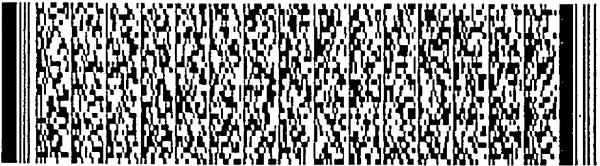
第 12/25 頁



第 13/25 頁



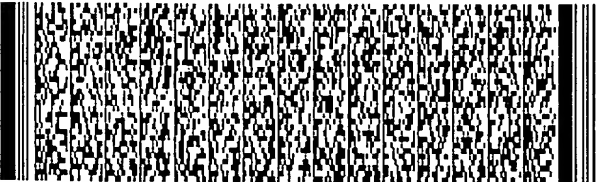
第 14/25 頁



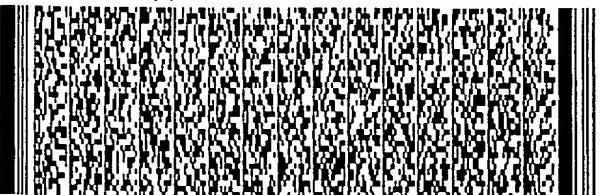
第 15/25 頁



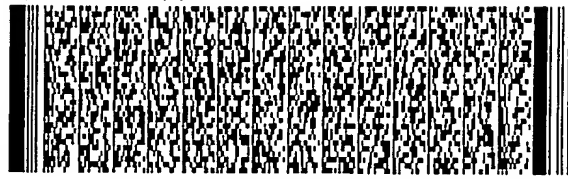
第 16/25 頁



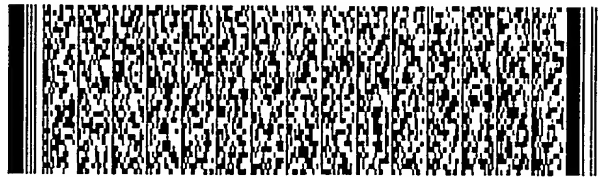
第 18/25 頁



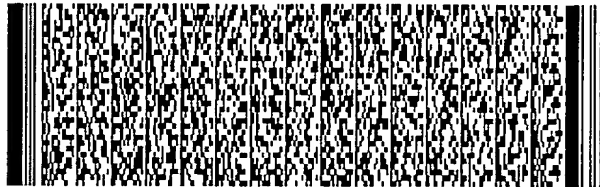
第 11/25 頁



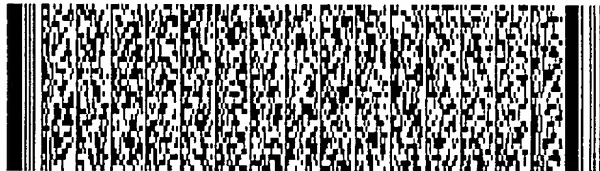
第 12/25 頁



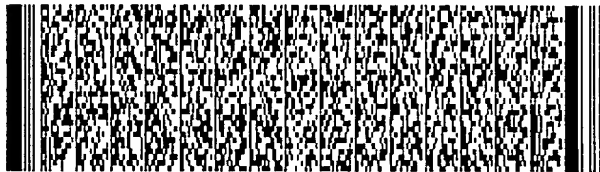
第 13/25 頁



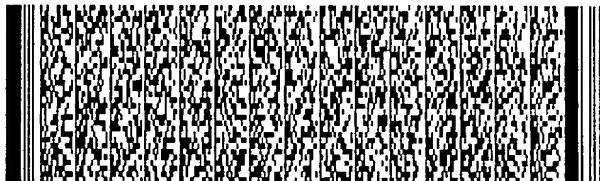
第 14/25 頁



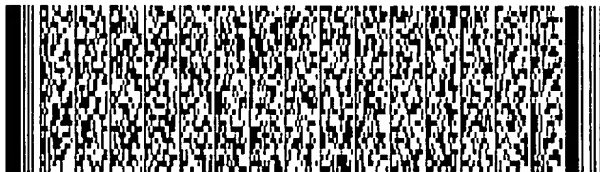
第 15/25 頁



第 16/25 頁



第 17/25 頁



第 19/25 頁



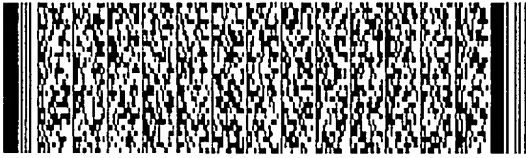
第 20/25 頁



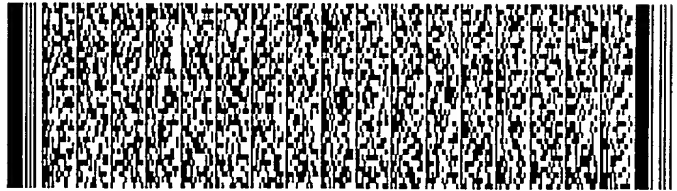
第 21/25 頁



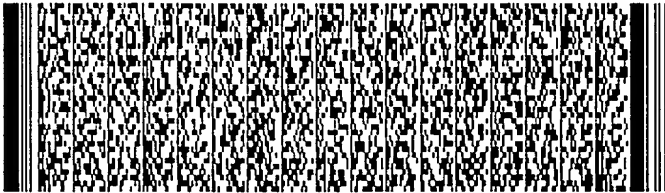
第 21/25 頁



第 22/25 頁



第 23/25 頁



第 24/25 頁



第 24/25 頁



第 25/25 頁

